

PAT-NO: JP403208301A
DOCUMENT-IDENTIFIER: JP 03208301 A
TITLE: POSITIVE TEMPERATURE COEFFICIENT THERMISTOR
PUBN-DATE: September 11, 1991

INVENTOR-INFORMATION:

NAME
KAWACHI, JUNJI

INT-CL (IPC): H01C007/02

US-CL-CURRENT: 338/22R

ABSTRACT:

PURPOSE: To realize an excellent positive temperature coefficient thermistor by improving flash withstand voltage by forming a through-hole through a positive temperature coefficient thermistor plate-shaped element.

CONSTITUTION: Two or more through-holes 1 are formed through a ceramic plate-shaped element 2. Hereby, in the state that a positive temperature coefficient thermistor produces no heat, high voltage is applied and hence a current is produced steeply with heat radiated, but the size of a circumferential part radiating heat is increased, so that heat dissipation is increased together with reduced thermal distortion and that any thermal distortion produced is absorbed by the through-hole 1. Accordingly, the total area of the surface of the through-hole 1 is set to be smaller than the area of an electrode 3 of the plate-shaped element 2. Thus, available maximum voltage is improved to realize a high reliability positive temperature coefficient thermistor.

COPYRIGHT: (C)1991,JPO&Japio

----- KWIC -----

Current US Cross Reference Classification - CCXR

(1):

338/22R

⑪公開特許公報(A) 平3-208301

⑤Int.Cl.⁵
H 01 C 7/02識別記号
厅内整理番号
6835-5E

④公開 平成3年(1991)9月11日

審査請求 未請求 請求項の数 1 (全3頁)

⑤発明の名称 正特性サーミスタ

⑥特 願 平2-3043
⑦出 願 平2(1990)1月10日⑧発明者 河内 純二 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑨出願人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑩代理人 弁理士 粟野 重孝 外1名

明細書

1、発明の名称

正特性サーミスタ

2、特許請求の範囲

セラミックからなる板状素子に少なくとも2個
所以上の貫通孔を設けた正特性サーミスタ。

3、発明の詳細な説明

産業上の利用分野

本発明は、定温ヒータ、過電流保護抵抗及び温
度センサなどに用いる正特性サーミスタに関する。

従来の技術

以下に従来の正特性サーミスタについて説明す
る。

第3図a及び同図bに示すように円板素子2及
び角板素子5の対向する両面にニッケル又は銀の
電極3を形成した正特性サーミスタは、前記電極
3にリード端子を半田付けして、樹脂で覆ったり
又は、バネ端子で保持してケースに収納するなど
の構成として使用される。

このような正特性サーミスタは用途に応じてキ

ュリー温度、キュリー温度以下の抵抗値、キュリ
ー温度以上での温度係数並びに使用可能な最大電
圧値及び最大電流値などの試験をする。使用可能
な最大電圧値を試験するためには、いわゆるフラ
ッシュ耐圧試験をする。

これは正特性サーミスタの電極間に定格電圧を
超える一定の高電圧を急激に印加することによ
つて故障発生の有無を試験するものである。

発明が解決しようとする課題

このフラッシュ耐圧試験によって、第4図に示
す素子の中層部6(外枠付ハッチングの部分)で
発生する熱歪によって素子の割れが発生するとい
う問題点を有していた。これは正特性サーミスタ
が発熱していない状態において、高電圧が印加さ
れると急激に大電流が流れ、素子全体が発熱を開
始するが、素子の両面は熱放散効率が高いため、
素子の厚み方向に温度勾配が生じこれにより素子
の中層部のみが急激に高温となり、その熱歪によ
って中層部で破壊するものと考えられている。

本発明は上記従来の問題点を解決するもので、

使用可能な最大電圧を向上させて信頼性の高い正特性サーミスタを提供することを目的とする。

課題を解決するための手段

この課題を解決するために本発明の正特性サーミスタは板状素子の対向する面に2個以上上の貫通孔を設けた構成とするものである。

作用

この構成によって、正特性サーミスタが発熱していない状態において、高電圧が印加され、急激に電流が流れて発熱しても放熱する周辺部が増大しているので熱放散が大きくなり熱歪が軽減されるとともに発生した熱歪はこの貫通孔によって吸収緩和されることとなる。

実施例

以下本発明の一実施例について実施例及び比較例を示し図面を参照しながら説明する。

(実施例1)

第1図に示すように直径が22mmで厚みが2mmの円板素子2の対向する両面に電極3を形成し、その中心部に超音波ホーンを用いて直径が10mm

の貫通孔1を設けた正特性サーミスタのフラッシュ耐圧試験をした結果は、160Vの値を示した。

(実施例2～実施例4)

実施例と比較例については厚み及び抵抗値が同一条件となるように外形寸法並びに貫通孔の直径及び個数を第1表に示すように決定して正特性サーミスタを作成し、実施例1と同様にフラッシュ耐圧試験をした結果を第1表に示す。

(比較例1～比較例3)

実施例と厚み及び抵抗値が同一条件の従来例の正特性サーミスタの外形寸法及びフラッシュ耐圧試験の結果を第1表に併記する。

(以下余白)

<第1表>

	外形寸法 (mm)	厚 み (mm)	貫通孔の直径 (mm)	貫通孔の数	抵抗 (Ω)	フラッシュ耐圧値 (V)
実施例 1 (円板)	φ 22	2	φ 10	1	6	160
実施例 2 (円板)	φ 21	2	φ 5	2	6	240
実施例 3 (円板)	φ 20.2	2	φ 3	3	6	280
実施例 4 (角板)	18×18	2	φ 3	4	6	280
比較例 1 (円板)	φ 20	2	φ 10	1	6	180
比較例 2 (角板)	17×17	2	φ 10	1	6	140
比較例 3 (角板)	40×7	2	φ 10	1	6	10

第2図に示すようにこの効果の要因と考えられる分割された中層部4(外枠付ハッチングの部分)で発生する熱歪の貫通孔1による熱放散効果と熱吸収緩和効果とのどちらの影響が大きいかは分析できていない。しかし、貫通孔1が1個所のものは比較例3の細長い角板素子と同程度のフラッシュ耐圧値で効果がないため請求範囲より除外した。フラッシュ耐圧値は板状素子2の外形寸法に関係があり、外形寸法が大きくなると厚み方向の温度勾配だけでなく、直径方向又は横方向の温度勾配による熱歪が影響するようになる。

貫通孔1の直径が大きく、あるいは貫通孔1の数が増加すると抵抗値を同じにするために板状素子2の外形寸法が大きくなりその結果熱歪が増大し、フラッシュ耐圧値が降下する。このため貫通孔1の穴表面の総面積は板状素子2の電極面積以下にする必要がある。

貫通孔1の形状は実施例1～実施例4に示した円形のみならず角形又はスリット形状でも良い。また、貫通孔1の形成方法は正特性サーミスタ素

子の焼結前の成形体で形成してもよく、この場合は焼結後に、レジストインキ等で貫通孔をマスキングして無電解ニッケルメッキ又は銀電極の焼付で電極を形成する。

発明の効果

以上の実施例の説明からも明らかかなように、本発明は、正特性サーミスタの板状素子に貫通孔を設けることにより、フラッシュ耐圧値が向上する優れた正特性サーミスタを実現できるものである。

4、図面の簡単な説明

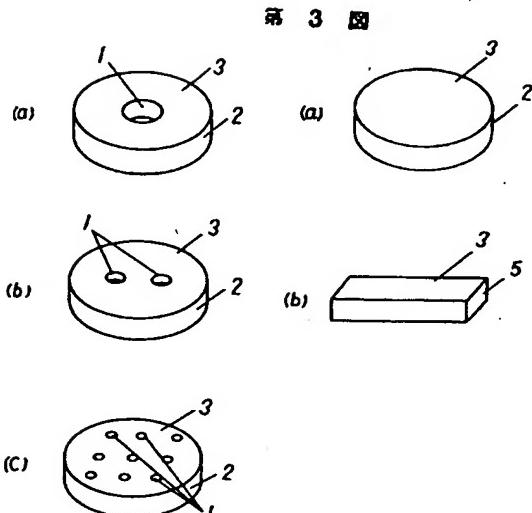
第1図aは本発明の実施例1における正特性サーミスタの構成を示す斜視図、同図bは実施例2の斜視図、同図cは実施例3の斜視図、第2図は本発明における板状素子の中層部を示す断面図、第3図a及び同図bは従来の正特性サーミスタの構成を示す斜視図、第4図は従来の板状素子の中層部を示す断面図である。

1……貫通孔、2……板状素子、3……電極。

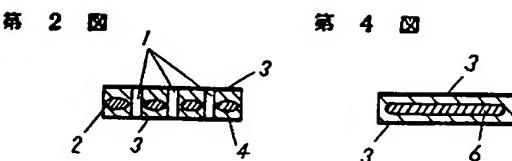
代理人の氏名 弁理士 萩野重孝ほか1名

1 ……貫通孔
2 ……板状素子

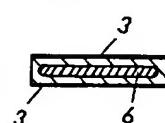
第1図



第3図



第2図



第4図